










Electronic component comprising an integrated circuit and a planar micro capacitor

Patent number: EP1324376
Publication date: 2003-07-02
Inventor: GIRARDIE LIONEL (FR)
Applicant: MEMSCAP (FR)
Classification:
- **International:** H01L21/02
- **European:** C23C16/40; H01L21/28E2C2; H01L21/316B; H01L29/51B
Application number: EP20020356255 20021210
Priority number(s): FR20010017069 20011231

Also published as:

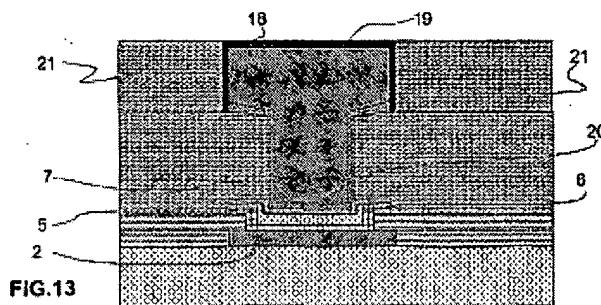
 US2003124794 (A1)
 JP2003243526 (A)
 FR2834387 (A1)
 CA2414400 (A1)

Cited documents:

 US2001003664
 WO9405455
 XP004350163
 XP002212992
 XP001104077
more >>

Abstract of EP1324376

A multilayer structure with strong relative permittivity is made up of a number of distinct layers each with a thickness of less than 500 Angstrom and made from a base of hafnium dioxide, zirconium dioxide and alumina. The hafnium dioxide, zirconium dioxide and alumina are formed from alloys with the formula $Hf_xZr_tAl_yz$ and their stoichiometry varies from layer to layer. The structure is made up of at least five layers and at least one of the outer layers is made up of alumina. The layers are deposited by atomic layer deposition.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY



(12) **DEMANDE DE BREVET EUROPEEN**

(43) Date de publication:
02.07.2003 Bulletin 2003/27

(51) Int Cl.7: **H01L 21/02**

(21) Numéro de dépôt: **02356255.6**

(22) Date de dépôt: **10.12.2002**

(84) Etats contractants désignés:
AT BE BG CH CY CZ DE DK EE ES FI FR GB GR
IE IT LI LU MC NL PT SE SI SK TR
 Etats d'extension désignés:
AL LT LV MK RO

(72) Inventeur: **Girardie, Lionel**
38320 Eybens (FR)

(74) Mandataire: **Pallx, Stéphane et al**
Cabinet Laurent et Charras
20, rue Louis Chirpaz
B.P. 32
69131 Ecully Cedex (FR)

(30) Priorité: **31.12.2001 FR 0117069**

(71) Demandeur: **Memscap**
38190 Bernin (FR)

(54) **Composant électronique incorporant un circuit intégré et un micro-condensateur planaire**

(57) Composant électronique incorporant un circuit intégré réalisé dans un substrat (1) et un condensateur planaire, caractérisé en ce que le condensateur est réalisé au-dessus d'un niveau de métallisation du composant, ce niveau de métallisation formant une première électrode (2) de la capacité, et en ce que le condensateur comporte :

■ une première couche (5) barrière à diffusion de l'oxygène, déposée au-dessus du niveau de métallisation (2);

■ un empilement (6) de plusieurs couches d'oxydes différents, chaque couche présentant une épaisseur inférieure à 100 nanomètres, l'empilement étant déposé au-dessus de la première couche barrière (5) ;

■ une seconde couche (7) barrière à la diffusion de l'oxygène déposée au-dessus de l'empilement (6) des couches d'oxydes ;

■ une électrode métallique (20) présente au-dessus de la seconde couche barrière (7).

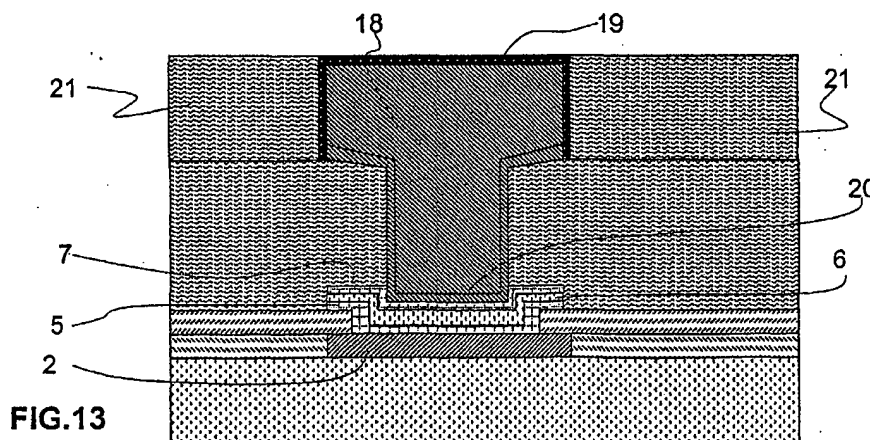


FIG.13

BEST AVAILABLE COPY

Description

Domaine technique

[0001] L'invention se rattache au domaine technique de la micro électronique. Elle vise plus précisément un composant électronique incorporant un micro condensateur pouvant être utilisé dans le cadre d'applications, radio-fréquences par exemple. Ce condensateur peut être réalisé sur la face supérieure du substrat du composant, ou bien encore à l'intérieur même du substrat, au coeur d'un circuit intégré. La conception d'un tel condensateur permet d'obtenir des valeurs de capacité particulièrement élevées.

Techniques antérieures

[0002] La réalisation de micro-condensateurs sur des substrats de silicium a déjà fait l'objet de certains développements.

[0003] Ainsi, dans le document FR 2 801 425, on décrit un micro-condensateur dont la fraction diélectrique est composée de deux couches de matériaux différents, et plus précisément d'une part, du dioxyde de silicium, et d'autre part, du nitrure de silicium. De tels micro-condensateurs présentent l'inconvénient d'être limités dans les valeurs de capacité. En effet, les constantes diélectriques (ϵ_r) des matériaux utilisés sont relativement faibles, typiquement de l'ordre de 4,1 pour le dioxyde de silicium et de 7 pour le nitrure de silicium. Ainsi, dans les applications nécessitant une capacité très élevée, il est nécessaire de réaliser des couches de faible épaisseur. La proximité des électrodes risquerait de se traduire alors par des phénomènes parasites non désirés, par effet tunnel. La tenue diélectrique de couches aussi peu épaisses doit également être citée parmi les inconvénients de telles capacités, comme provoquant des effets d'avalanche.

[0004] Par ailleurs, on a décrit dans la publication d'une demande de brevet américain US 2001/0041413, un procédé permettant de réaliser des circuits RC sur un substrat semi-conducteur de silicium. Plus précisément, la résistance et le condensateur sont obtenus à partir d'une même couche de tantale. Une partie de cette couche de tantale est utilisée pour former la résistance du circuit RC. Le condensateur est obtenu par oxydation d'une zone de la couche de tantale située à l'aplomb d'une des électrodes du condensateur. Plus précisément, cette oxydation est obtenue par diffusion d'oxygène sur cette zone spécifique. Après oxydation du tantale en oxyde de tantale, on obtient ainsi une couche diélectrique pouvant être recouverte par une seconde électrode pour former le condensateur. On constate néanmoins qu'une telle capacité présente un certain nombre d'inconvénients dus au procédé de fabrication. Ainsi, l'intégrité du matériau diélectrique est mal maîtrisée puisque le tantale est oxydé de façon prépondérante du côté de la face recevant le flux d'oxygène. Il s'en-

suit une mauvaise homogénéité de la couche diélectrique qui peut être à la source de défauts, et à tout le moins d'une grande variabilité dans les valeurs de capacité.

[0005] L'un des objectifs de l'invention est de permettre la réalisation de micro-condensateurs présentant de fortes valeurs de capacité.

Un autre objectif est d'obtenir ces fortes valeurs de capacité avec des couches d'une épaisseur supérieure à celles dans lesquelles il existe des risques d'apparition d'effets tunnel.

Un autre objectif de l'invention est de proposer un procédé de fabrication qui permette de maîtriser les valeurs de capacité, et de pouvoir les adapter selon les applications.

Un autre objectif de l'invention est de permettre la réalisation de ces micro-condensateurs sur des substrats incorporant un circuit intégré, pour lequel les températures maximales pendant les procédés de réalisation doivent être relativement limitées, et typiquement inférieures à 400°C.

Exposé de l'invention

[0006] L'invention concerne donc un micro composant électronique incorporant un circuit intégré réalisé dans un substrat, et un condensateur planaire.

[0007] Conformément à l'invention, le condensateur est réalisé au-dessus d'un niveau de métallisation du composant, ce niveau de métallisation formant une première électrode du condensateur. En outre, le condensateur comporte :

- une première couche barrière à diffusion de l'oxygène, déposée au-dessus du niveau de métallisation ;
- un empilement de plusieurs couches d'oxydes différents, chaque couche présentant une épaisseur inférieure à 100 nanomètres, l'empilement étant déposé au-dessus de la première couche barrière ;
- une seconde couche barrière à la diffusion de l'oxygène, déposée au-dessus de l'empilement des couches d'oxydes ;
- une électrode métallique présente au-dessus de la seconde couche barrière.

[0008] Autrement dit, l'invention consiste à utiliser en tant que matériau diélectrique pour le condensateur une structure nanolaminée de différents oxydes, séparée des électrodes métalliques par une couche barrière à la diffusion de l'oxygène.

[0009] L'emploi des différentes couches d'oxydes permet d'obtenir des valeurs globales de permittivité relative permettant d'obtenir des capacités supérieures à 10 nF/mm². Ces différentes couches d'oxydes peuvent être obtenues par des méthodes de dépôt ne nécessitant obligatoirement pas d'opérations de recuit à haute température, ce qui les rend compatibles avec la réali-

sation de ces condensateurs en combinaison avec des circuits intégrés.

[0010] En pratique, le condensateur peut être réalisé soit au niveau supérieur du substrat. Dans ce cas, le niveau de métallisation correspond à un niveau supérieur du substrat, et par exemple à un plot d'interconnexion.

[0011] Le condensateur peut également être réalisé à l'intérieur du circuit intégré. Dans ce cas, le niveau de métallisation formant la première électrode correspond à un niveau de métallisation interne du circuit intégré.

[0012] Différents oxydes peuvent être utilisés pour former l'empilement de couches diélectriques. On pourra notamment citer les matériaux choisis parmi le groupe comprenant : HfO_2 , Ta_2O_5 , ZrO_2 , La_2O_3 dans lequel La représente un lanthanide, Y_2O_3 , Al_2O_3 , TiO_2 , MgO , CeO_2 , Nb_2O_5 , les titanates et tantalates de strontium (STO), les titanates de strontium et bismuth (SBT), les titanates de plomb et zirconium (ZBT), les tantalates de baryum strontium (BST). Parmi ces matériaux, on pourra privilégier le pentaoxyde de Tantale Ta_2O_5 dont la permittivité relative est de l'ordre de 26, et le dioxyde de titane TiO_2 dont la permittivité relative est de l'ordre de 80. Ces matériaux peuvent être utilisés selon différentes combinaisons. Le nombre de couches de l'empilement ainsi que l'épaisseur de chacune de ces couches est déterminé en fonction des propriétés électriques, notamment la capacité que l'on souhaite obtenir.

[0013] En pratique, on préférera que les couches d'oxydes soient obtenues par dépôt de couches atomiques, technique également connue sous l'appellation ALD (Atomic Layer Deposition). En effet, grâce à cette technique, il est possible de maîtriser l'épaisseur de chacune des couches, ce qui permet de garantir une bonne homogénéité de cette épaisseur sur toute la surface de la couche diélectrique, et donc d'éviter les sources de défektivités. La technique de dépôt par ALD peut utiliser plusieurs sources de matériaux à savoir des sources solides, liquides ou gazeuses, ce qui rend cette technique très souple et évolutive. Par ailleurs, elle utilise des précurseurs qui sont les vecteurs de la réaction chimique de surface, et qui transportent la matière à déposer. Plus précisément, ce transport met en oeuvre un processus de chimie sorption des précurseurs sur la surface à recouvrir, en créant une réaction chimique avec échange de ligand entre les atomes en surface et les molécules des précurseurs. Le principe de cette technique évite l'adsorption des précurseurs ou leur condensation et donc leur décomposition. Des sites nucléiques sont continuellement créés jusqu'à la saturation de chaque phase de réaction, entre lesquelles une purge à l'aide de gaz inerte permet de renouveler le processus. La technique "ALD" se distingue de la technique répandue dans l'industrie des semiconducteurs utilisant la CVD (Chemical Vapor Deposition) en ce sens que les précurseurs utilisés en ALD sont très réactifs et ne se décomposent pas en surface. L'uniformité du dé-

pôt est assurée par le mécanisme de réaction et non pas par les réactants utilisés comme c'est le cas en CVD, tandis que l'épaisseur des couches déposées par ALD dépend de chaque cycle de chimie sorption des précurseurs. Pour la technique ALD, il sera préférentiellement utilisé comme précurseurs des chlorures et oxychlorures telles que ZrCl_4 ou MoCl_5 , des métallocènes tels que du ZrCp_2Cl_2 , des métalacyls tels que $\text{Al}(\text{CH}_3)_3$, des béta dikétonates telles que du $\text{La}(\text{thd})_3$, ou des alkoxides tels que du Ta-ethoxyde.

[0014] Avantagusement, en pratique, les matériaux utilisés pour former les couches barrière à diffusion de l'oxygène sont réalisés à partir de matériaux choisis dans le groupe comprenant : WSi_2 , TiSi_2 , CoSi_2 , WN , TiN , TaN , NbN , MoN , TaSiN , TiAlN , TaAlN . Ces matériaux sont déposés par la technique ALD.

[0015] Dans une forme préférée, le nitrure de titane (TiN) peut être préféré.

[0016] Le choix de ce matériau permet de limiter les éventuelles diffusions de l'oxygène des couches d'oxydes en direction des couches métalliques formant les électrodes.

[0017] Une telle structure de condensateur peut être utilisée selon différents modes de connexion. Ainsi, l'électrode inférieure peut être reliée au reste du circuit intégré par le niveau de métallisation. Ce même niveau de métallisation peut par exemple être relié à la masse.

[0018] Dans un autre mode de réalisation, le niveau de métallisation peut être rendu accessible par un plot de connexion qui lui est relié. Dans ce cas, les deux électrodes du condensateur sont accessibles, ce qui permet d'incorporer cette capacité en série dans un schéma électrique.

[0019] En pratique, l'électrode métallique ou l'éventuel plot de connexion supplémentaire peut être réalisé par dépôt électrolytique, par exemple de cuivre.

Description sommaire des figures

[0020] La manière de réaliser l'invention et les avantages qui en découlent, ressortiront bien de la description du mode de réalisation qui suit, à l'appui des figures annexées dans lesquelles :

[0021] Les figures 1 à 13 sont des vues en coupe d'un exemple de composant réalisé conformément à l'invention, et montré à différents stades de réalisation.

[0022] La figure 14 est une vue en coupe d'une variante de réalisation.

[0023] Dans les figures, les dimensions et notamment les épaisseurs des différentes couches sont données à titre d'illustration pour permettre la compréhension de l'invention. Elles peuvent être sans rapport avec les dimensions réelles des différents éléments intervenant dans l'invention.

Manière de réaliser l'invention

[0024] Comme déjà évoqué, l'invention concerne un

micro-condensateur réalisé sur un composant électronique incorporant un circuit intégré.

[0025] Ce condensateur peut être réalisé, comme dans les figures illustrées, dans le niveau supérieur du substrat. Néanmoins, dans d'autres formes de réalisation non illustrées, ce micro-condensateur peut être réalisé au sein même du substrat, au niveau inférieur de métallisation du circuit intégré.

[0026] Ainsi, comme illustré à la figure 1, le substrat (1) peut comporter un plot de connexion (2) réalisé en un matériau tel que de l'aluminium ou du cuivre, voire un alliage d'aluminium et silicium, d'aluminium et cuivre ou de cuivre et zinc. Dans la forme illustrée, le substrat (1) est recouvert d'une première couche de passivation (3), typiquement en SiO_2 . Cette couche de silice (3) est recouverte d'une couche de nitrure de silicium Si_3N_4 permettant de protéger la couche inférieure de silice contre l'exposition à l'air.

[0027] Avant de procéder aux dépôts des différentes couches caractéristiques, on procède à un nettoyage non corrosif, ce qui permet d'éliminer toutes les particules qui pourraient venir contaminer les étapes ultérieures du procédé.

[0028] Dans une première étape illustrée à la figure 2, on procède à un dépôt d'une couche de nitrure de titane (TiN). Cette couche (5) assure un effet de barrière à la diffusion de l'oxygène qui pourrait venir oxyder les couches inférieures. Cette couche de nitrure de titane (5) est déposée par ALD, ce qui lui confère une très bonne uniformité d'épaisseur et une excellente intégrité. Cette uniformité d'épaisseur permet d'assurer une épaisseur constante à la couche diélectrique qui sera déposée ultérieurement, afin de limiter les risques de défectivité, ou les diffusions par effet tunnel qui pourraient survenir en cas d'épaisseur trop faible de la couche diélectrique.

[0029] Le nitrure de titane peut être remplacé par un matériau présentant des propriétés analogues parmi les matériaux cités ci-avant. On recherchera notamment le fait que ce matériau présente une bonne affinité avec le matériau utilisé pour former l'électrode inférieure (2), possède une excellente adhésion sur les couches atomiques inférieures, et permet une bonne réaction de surface des précurseurs.

[0030] Par la suite, comme illustré à la figure 3, on procède aux dépôts successifs d'une pluralité de couches d'oxydes. Dans la forme illustrée, l'empilement de ces différentes couches d'oxydes (6) est illustré sous la forme d'une couche unique. Toutefois, cet empilement peut comporter un nombre important de couches élémentaires, pouvant aller jusqu'à plusieurs dizaines. Ces différentes couches d'oxydes présentent une épaisseur pouvant aller de 5 Å à quelques dizaines de nanomètres. Parmi les matériaux donnant les bons résultats, on a noté des empilements de couches d'alumine Al_2O_3 et de dioxyde de titane TiO_2 . De bons résultats sont également obtenus avec des nanolaminés réalisés à partir de couches d'oxyde de tantale Ta_2O_5 et de dioxydes de

titane TiO_2 . Le dioxyde de titane, voire le dioxyde de zirconium, sont dans un état amorphe aux températures de l'ordre de 300 à 400°C, utilisées lors des étapes de dépôt par technique de dépôt par couche atomique ALD. A ces températures, les tantalates Ta_2O_5 se présentent sous phase instable, et l'association avec les couches de dioxyde de zirconium ou de titane, assure une certaine stabilité de phase du Ta_2O_5 .

[0031] Par la suite, on procède, comme illustré à la figure 4, au dépôt d'une seconde couche de nitrure de titane TiN. Cette couche supplémentaire (7) peut être réalisée en utilisant les différents matériaux décrits ci-avant, dès lors qu'on obtient l'effet de barrière à l'oxygène, tout en conservant une bonne qualité d'accroche avec la couche métallique qui sera déposée ultérieurement.

[0032] Par la suite, on procède à différentes étapes de lithographie et de gravure permettant d'éliminer les différentes couches (5,6,7) déposées au-dessus du substrat. Ces étapes de gravure sont successives pour, dans un premier temps, éliminer la couche de nitrure de titane à l'exception de la zone (8) à l'aplomb du plot de connexion (2). Cette gravure peut par exemple s'effectuer avec du CCl_4 ou du CCl_2F_2 ou du $\text{CF}_4 : \text{H}_2$. Cette première étape de gravure est ensuite suivie d'une étape de gravure, par exemple à l'aide de fluorines telles que du SF_6 , permettant d'éliminer la couche (6) d'oxyde nanolaminée. Après une dernière étape de gravure de la couche (5) de nitrure de titane, on obtient la structure illustrée à la figure 5.

[0033] Les étapes ultérieures permettent de définir l'électrode supérieure et le plot de connexion associé.

[0034] Ainsi, on procède par la suite, comme illustré à la figure 6, au dépôt d'une couche (10) de résine du type benzocyclobutène (BCB), par une technique de "spin on deposition". Cette couche de BCB présente typiquement une épaisseur supérieure à 500 nm.

[0035] On procède par la suite, comme illustré à la figure 7, au dépôt d'une couche (11) recouvrant la couche de BCB (10), en formant un masque dur. Les matériaux utilisés pour former ce masque dur (11) peuvent être relativement variés. Il peut notamment s'agir de carbure de silicium, mais encore de chrome, de siliciure de tungstène (WSi_2), ou bien encore de nitrure de titane ou de silice voire de nitrure de silicium. Préférentiellement il est utilisé du nitrure de silicium.

[0036] On procède par la suite à une étape de lithographie puis de gravure pour définir une ouverture de la couche de masque dur (11), à l'aplomb de l'électrode inférieure. Cette gravure peut par exemple être réalisée par voie humide en utilisant un bain à base d'acide hypophosphorique à température de 180°C. On peut également utiliser une gravure sèche par plasma en utilisant un gaz réactif de fluorine, tel que le $\text{CF}_4 : \text{H}_2$ par exemple. On procède par la suite à une gravure anisotrope de la couche de BCB (10), à l'aplomb de l'électrode inférieure (2). Cette gravure de la couche de BCB (10) peut s'effectuer notamment par l'emploi d'un mélange de gaz tel

que le mélange ($\text{Ar}:\text{CF}_4:\text{O}_2$), ou les mélanges ($\text{C}_2\text{H}_2\text{F}_2:\text{CO}_2:\text{H}_2:\text{Ar}$) ou ($\text{SF}_6:\text{CO}_2:\text{Ar}$), ou bien encore par un plasma radiofréquence utilisant d'autres réactifs. On privilégiera dans le choix de cette technique de gravure la sélectivité par rapport à la couche inférieure (7) de nitrure de titane. Il importe en effet que cette couche ne soit pas trop fortement gravée lorsque la gravure du BCB est terminée. On obtient alors la configuration illustrée à la figure 8.

[0037] Par la suite, on procède, comme illustré à la figure 9, à l'élimination des parties latérales (12) du masque dur (11). Dans certains cas, cette élimination ne s'avère pas nécessaire notamment lorsque le matériau utilisé comme en masquage est un isolant du type SiO_2 . Dans d'autres cas au contraire, notamment le cas où le masque dur (11) est réalisé en chrome ou en silicure de tungstène, il est préférable de procéder à l'élimination du reste du masque dur (11). Dans le cas particulier où le masque dur est réalisé en nitrure de titane, on procédera, préalablement à son élimination, au masquage de la couche (7) de nitrure de titane située à l'aplomb de l'électrode inférieure (2), afin que cette couche barrière de l'oxygène ne soit pas éliminée en même temps que le reste du masque dur.

[0038] Par la suite, on procède à une étape de nettoyage du trou (13) ainsi formé. Ce nettoyage peut s'effectuer par voie chimique, en mettant en oeuvre un mélange semi-aqueux non corrosif. Il peut également être obtenu par voie sèche, en utilisant un plasma.

[0039] Par la suite, comme illustré à la figure 10, on procède au dépôt d'une couche amorce de cuivre (16). Cette couche amorce (16) peut être déposée par différentes techniques, et notamment par pulvérisation, procédé également connu sous l'abréviation de PVD-IMP pour "Physical Vapour Deposition - Ionised Metal Plasma". On peut également utiliser la technique de dépôt chimique en phase de vapeur connue sous le nom de CVD pour "Chemical Vapor Deposition". On peut également utiliser une technique de dépôt atomique (ALD), similaire à celle utilisée pour le dépôt des différentes couches du nanolaminé (6).

[0040] On peut également procéder par la suite à une étape d'enrichissement de la couche amorce (16) de cuivre par voie électrolytique. Cet enrichissement permet de combler les espaces entre les îlots de cuivre qui ont été préalablement déposés pour former la couche amorce. La surface de cette couche amorce (16) est donc ainsi lissée, ce qui favorisera les étapes ultérieures de dépôt électrolytique du cuivre. Cette étape permet d'augmenter l'épaisseur de la couche amorce à l'intérieur de la via (13), et particulièrement sur les faces internes (14) et au fond (15) du trou (13).

[0041] Par la suite, on procède, comme illustré dans la figure 11, au dépôt d'une couche de résine (17) qui est ensuite éliminée dans la zone du micro-condensateur. Plus précisément, cette couche de résine est éliminée dans la via (13) et dans la périphérie de cette dernière, pour ne demeurer que dans les zones (17) illus-

trées à la figure 11. Par la suite, on procède à un dépôt électrolytique de cuivre, selon une technique dite de "croissance par le bas", correspondant à une technique particulière lorsque la structure est une damascène. Cette technique est également connue sous l'appellation de "bottom-up damascene superfilling".

[0042] Cette étape permet de remplir le volume de la via (14), et de recouvrir les faces supérieures du composant, à l'exception des zones où la couche amorce (16) est recouverte par la couche de résine (17).

[0043] D'éventuelles étapes de recuit peuvent ensuite être mises en oeuvre.

[0044] Par la suite, on procède comme illustré à la figure 12, à l'élimination de la résine (17) qui a permis de définir la forme du plot de connexion (18) à l'électrode supérieure (20). La couche amorce de cuivre (16) est également éliminée par une opération de gravure, qui peut être une gravure humide anisotrope, par exemple à base d'un bain d'acide sulfurique ou d'un bain d'acide nitrique incluant du benzotriazole ou tout autre dérivé d'imidazole.

[0045] On peut ensuite procéder à une étape de nettoyage non corrosif, permettant d'éliminer tous les résidus de la résine utilisés lors des différentes étapes de procédé. Ce nettoyage permet également d'éliminer toutes les particules susceptibles de corroder le cuivre.

[0046] Pour certaines applications, il peut notamment être utile de déposer, comme illustré à la figure 13, une couche d'accroche au dessus du plot de connexion (18) de cuivre. Cette couche d'accroche (19) peut par exemple être à base de nickel ou de cobalt. On procède par la suite au dépôt d'une couche de polyimide (21), jusqu'à une hauteur correspondant à la hauteur du plot (18). Cette couche de passivation (21) peut être déposée par "spin-on deposition".

[0047] Le polyimide peut également être remplacé par un autre matériau du type Parylène®. Cette couche de passivation peut alors être déposée par PECVD. Il n'est alors pas nécessaire de recouvrir le plot de cuivre (18) d'une couche (19) de nickel ou de cobalt.

[0048] Dans une variante illustrée à la figure 14, le niveau de métallisation (22) formant l'électrode inférieure peut se prolonger latéralement. La zone (23) décalée par rapport au condensateur peut alors accueillir un plot de connexion (25) réalisé selon une technique analogue à celle décrite pour la réalisation du plot (18). Le condensateur formé entre l'électrode supérieure (20) et le niveau de métallisation (22) est alors accessible depuis la face supérieure du substrat, entre deux plots de connexion (25, 18).

[0049] A titre d'exemple, on a réalisé différents micro-condensateurs conformément à l'invention.

[0050] Ainsi, dans un premier exemple particulier, l'empilement de couches d'oxydes comporte cinq couches de dioxyde de zirconium ZrO_2 , séparées chacune par une couche d'oxyde de tantale Ta_2O_5 . Chaque couche possède une épaisseur de l'ordre de 10 Å. La capacité ainsi obtenue est de l'ordre de 28 nF/mm².

[0051] Dans un deuxième exemple, on a réalisé un empilement de neuf couches d'oxydes, à savoir cinq couches de dioxyde de titane TiO_2 , séparées chacune par une couche d'oxyde de tantale Ta_2O_5 . Cet empilement possède une capacité de 38 nF/mm².

[0052] Il ressort de ce qui précède que les micro-condensateurs conformes à l'invention présentent de multiples avantages, notamment en premier lieu, une valeur de capacité nettement supérieure à celle des solutions existantes. Ces hautes valeurs de capacité sont obtenues en conservant des épaisseurs de couches diélectriques qui ne sont pas susceptibles de laisser apparaître des phénomènes par effet Tunnel et effet d'avalanche.

Revendications

1. Composant électronique incorporant un circuit intégré réalisé dans un substrat (1) et un condensateur planaire, **caractérisé en ce que** le condensateur est réalisé au-dessus d'un niveau de métallisation du composant, ce niveau de métallisation formant une première électrode (2) du condensateur, et **en ce que** le condensateur comporte :

- une première couche (5) barrière à diffusion de l'oxygène, déposée au-dessus du niveau de métallisation (2);
- un empilement (6) de plusieurs couches d'oxydes différents, chaque couche présentant une épaisseur inférieure à 100 nanomètres, l'empilement étant déposé au-dessus de la première couche barrière (5);
- une seconde couche (7) barrière à la diffusion de l'oxygène déposée au-dessus de l'empilement des couches d'oxydes (6) ;
- une électrode métallique (20) présente au-dessus de la seconde couche barrière (7).

2. Composant électronique selon la revendication 1, **caractérisé en ce que** le niveau de métallisation (2) se situe au niveau supérieur du substrat.

3. Composant électronique selon la revendication 1, **caractérisé en ce que** le niveau de métallisation correspond à un niveau de métallisation interne du circuit intégré.

4. Composant électronique selon la revendication 1, **caractérisé en ce que** les matériaux utilisés pour réaliser les couches d'oxydes (6) sont choisis parmi le groupe comprenant : HfO_2 , Ta_2O_5 , ZrO_2 , La_2O_3 dans lequel La représente un lanthanide, Y_2O_3 , Al_2O_3 , TiO_2 , MgO , CeO_2 , Nb_2O_5 , les titanates et tantalates de strontium (STO), les titanates de strontium et baryum (BST), les tantalates de strontium et bismuth (SBT), les titanates de plomb et zir-

conium (ZBT), les titanates de baryum et strontium (EST).

5. Composant électronique selon la revendication 1, **caractérisé en ce que** les couches d'oxydes (6) sont obtenues par dépôt de couches atomiques

6. Composant électronique selon la revendication 1, **caractérisé en ce que** les couches (5,7) barrière à la diffusion de l'oxygène sont réalisées à partir de matériaux choisis dans le groupe comprenant : WSi_2 , TiSi_2 , CoSi_2 , WN, TiN, TaN, NbN, MoN, TaSiN, TiAlN, TaAlN.

7. Composant électronique selon la revendication 1, **caractérisé en ce qu'il** comporte également un plot de connexion (25) relié à la première électrode (22), permettant ainsi l'accès aux deux électrodes du condensateur.

8. Procédé de fabrication d'un condensateur réalisé sur le substrat d'un composant électronique incorporant un circuit intégré, **caractérisé en ce qu'il** comporte les étapes suivantes consistant, au-dessus d'un niveau de métallisation (2) du composant destiné à former une première électrode du condensateur, à :

- ♦ déposer une première couche (5) barrière à la diffusion de l'oxygène ;
- ♦ déposer une succession (6) de couches d'oxydes différents, chaque couche présentant une épaisseur inférieure à 100 nanomètres ;
- ♦ déposer une seconde couche (7) barrière à la diffusion de l'oxygène,
- ♦ déposer une électrode métallique (20).

9. Procédé selon la revendication 8, **caractérisé en ce que** la seconde électrode métallique (20) est réalisée par dépôt électrolytique.

10. Procédé selon la revendication 8, **caractérisé en ce que** les couches d'oxyde (6) sont déposées par dépôt de couches atomiques.

11. Procédé selon la revendication 10, **caractérisé en ce que** dépôt de couches atomiques est réalisé en utilisant des précurseurs choisis dans le groupe comprenant: les chlorites, les oxychlorures, les métallocènes, les métalacyls, les béta-dilcétonates et les alkoxydes.

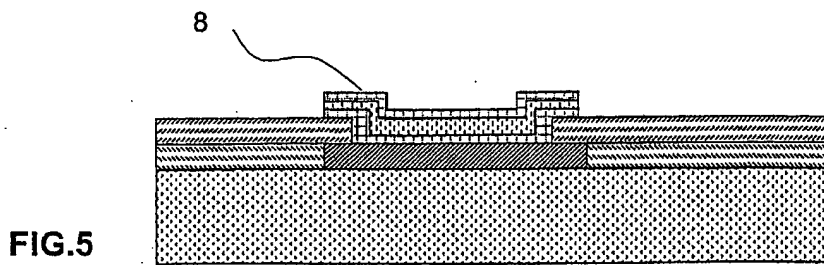
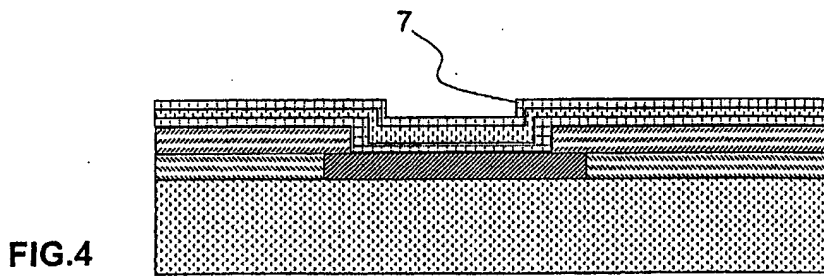
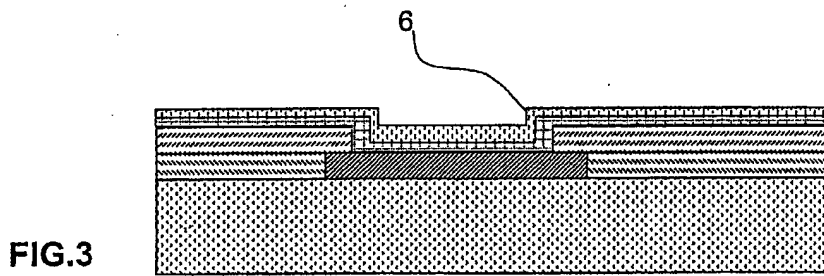
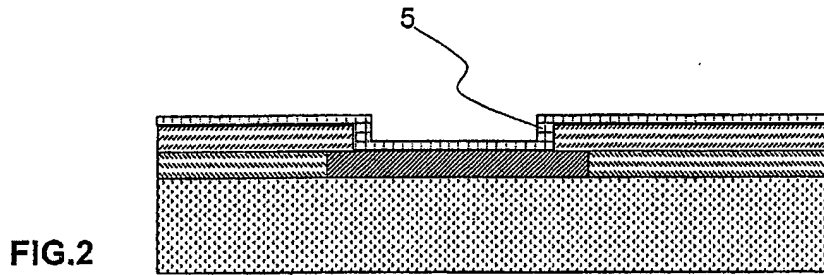
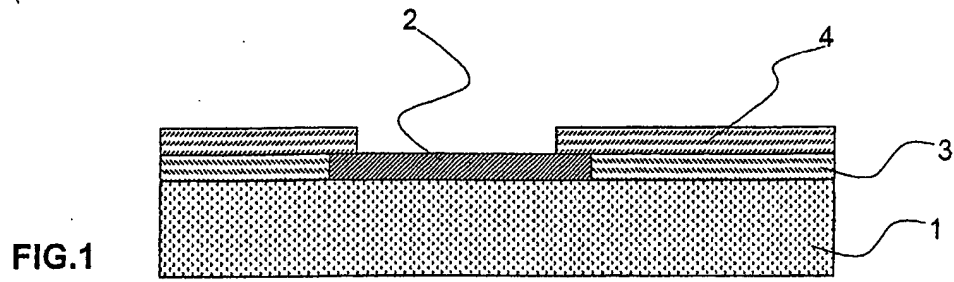


FIG.6

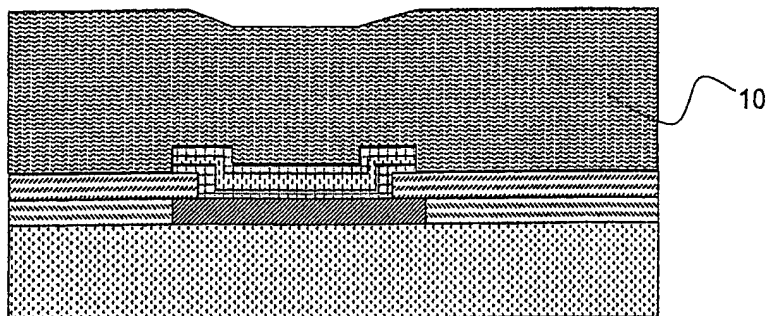


FIG.7

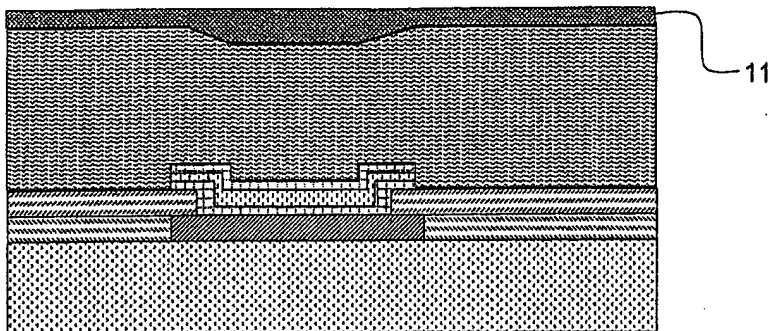


FIG.8

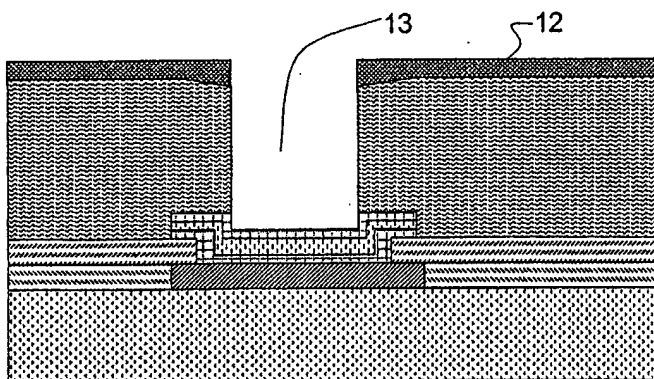
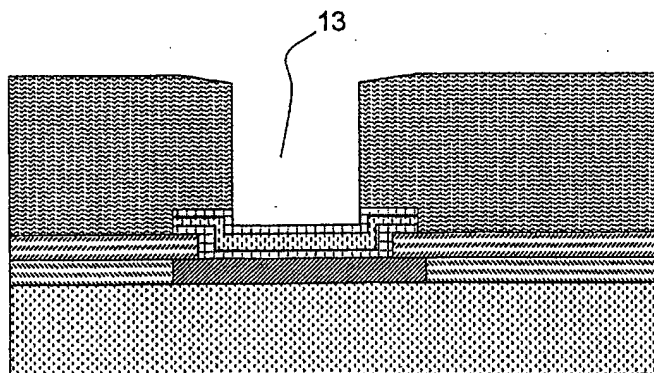


FIG.9



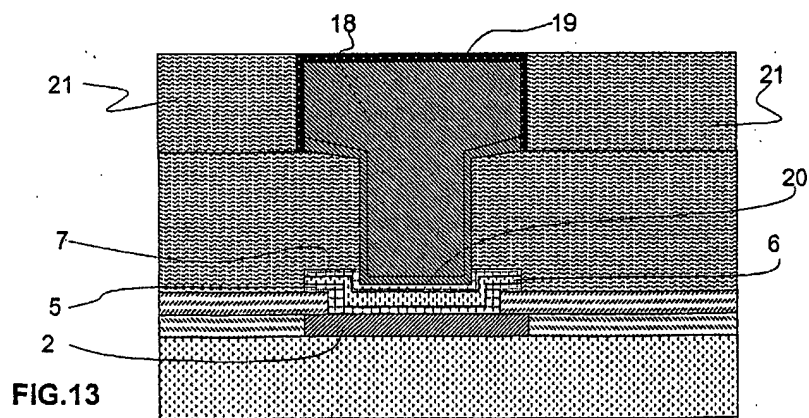
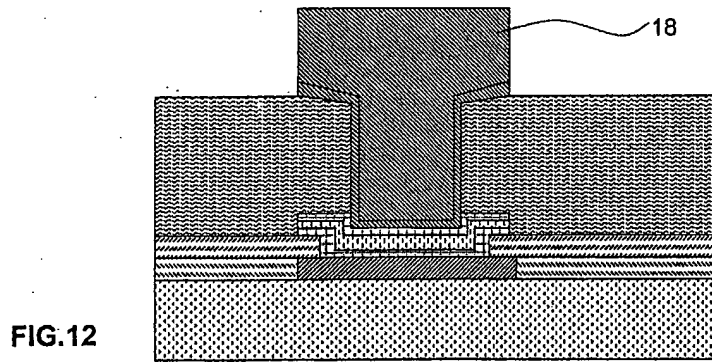
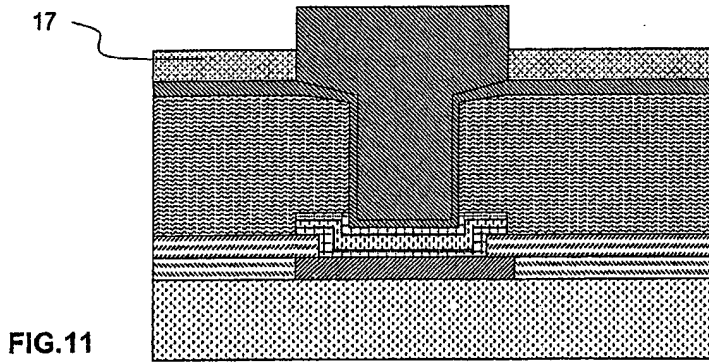
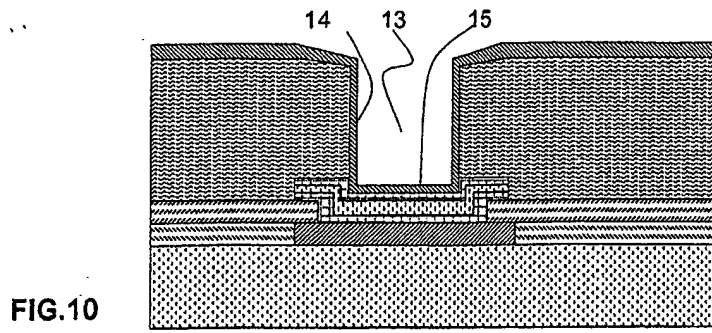
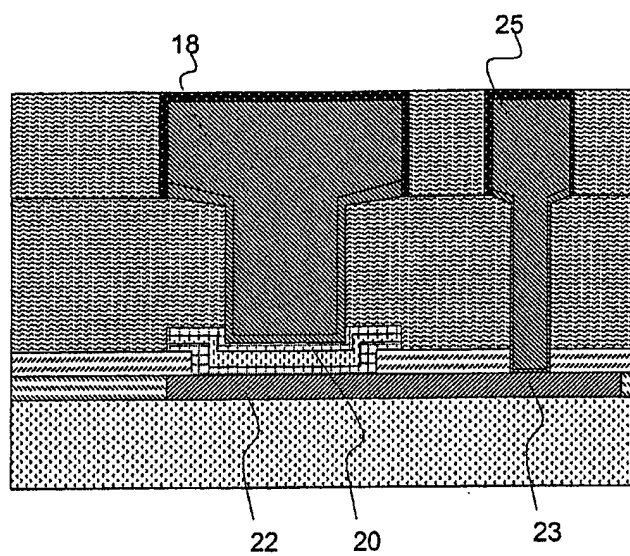


FIG.14





Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande
EP 02 35 6255

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.Cl.7)
A	US 2001/003664 A1 (YAMAGUCHI HIROMU) 14 juin 2001 (2001-06-14) * abrégé; figure 7 * ---	1,3,4,6,8	H01L21/02
A	WO 94 05455 A (AMERICAN RES CORP VIRGINIA) 17 mars 1994 (1994-03-17) * figures 4,5 * ---	1,4	
A	KUKLI K ET AL: "Atomic layer deposition of Al/sub 2/O/sub 3/, ZrO/sub 2/, Ta/sub 2/O/sub 5/, and Nb/sub 2/O/sub 5/ based nanolayered dielectrics" HIGH-K GATE DIELECTRICS. E-MRS 2001 SPRING MEETING SYMPOSIUM Q, STRASBOURG, FRANCE, 5-8 JUNE 2001, vol. 303, no. 1, pages 35-39, XP004350163 Journal of Non-Crystalline Solids, May 2002, Elsevier, Netherlands ISSN: 0022-3093 * le document en entier * ---	8,10,11	
A	KUKLI K ET AL: "Development of dielectric properties of niobium oxide, tantalum oxide, and aluminum oxide based nanolayered materials" JOURNAL OF THE ELECTROCHEMICAL SOCIETY, FEB. 2001, ELECTROCHEM. SOC, USA, vol. 148, no. 2, pages F35-F41, XP002212992 ISSN: 0013-4651 * le document en entier * ---	1,8,10,11	DOMAINES TECHNIQUES RECHERCHES (Int.Cl.7) H01L
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 31 mars 2003	Examineur Königstein, C
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

EPO FORM 1503 03.82 (P04C02)



Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande
EP 02 35 6255

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.Cl.7)
A	<p>MIKHELASHVILI V ET AL: "Characteristics of MIS capacitors based on multilayer TiO/sub 2/-Ta/sub 2/O/sub 5/ structures" 10TH WORKSHOP ON DIELECTRICS IN MICROELECTRONICS, BARCELONA, SPAIN, 3-5 NOV. 1999, vol. 40, no. 4-5, pages 657-658, XP001104077 Microelectronics Reliability, April-May 2000, Elsevier, UK ISSN: 0026-2714 * le document en entier *</p>	8	
A	<p>DATABASE INSPEC 'en ligne! INSTITUTE OF ELECTRICAL ENGINEERS, STEVENAGE, GB; CLARK-PHELPS R B ET AL: "Engineered tantalum aluminate and hafnium aluminate ALD films for ultrathin dielectric films with improved electrical and thermal properties" Database accession no. 7361098 XP002213483 * abrégé * & GATE STACK AND SILICIDE ISSUES IN SILICON PROCESSING II. SYMPOSIUM (MATERIALS RESEARCH SOCIETY SYMPOSIUM PROCEEDINGS VOL.670), GATE STACK AND SILICIDE ISSUES IN SILICON PROCESSING II. SYMPOSIUM, SAN FRANCISCO, CA, USA, 17-19 APRIL 2001, pages K2.2.1-6, 2002, Warrendale, PA, USA, Mater. Res. Soc, USA ISBN: 1-55899-606-0</p>	1,8	<p>DOMAINES TECHNIQUES RECHERCHES (Int.Cl.7)</p>
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 31 mars 2003	Examineur Königstein, C
CATEGORIE DES DOCUMENTS CITES		<p>T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>	
<p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p>			

EPO FORM 1503 03.82 (P04002)

**ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.**

EP 02 35 6255

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.

Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

31-03-2003

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)		Date de publication
US 2001003664	A1	14-06-2001	JP	2001168301 A	22-06-2001
WO 9405455	A	17-03-1994	US	5850089 A	15-12-1998
			CA	2131901 A1	17-03-1994
			WO	9405455 A2	17-03-1994
			US	5534071 A	09-07-1996

EPO FORM P0460

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82